

文章编号:1007-2780(2011)02-0210-06

LCoS 微型显示器接口电路设计

陈翠莹^{1,2}, 吴迪^{1,2}, 刘必涛^{1,3}, 范义^{1,3}, 代永平^{1,2,3*}

(1. 深圳市力伟数码技术有限公司, 广东 深圳 518000, E-mail: cuiyingchen@hotmail.com;
2. 南开大学 光电子薄膜器件与技术研究所, 天津 300071;
3. 光电信息技术科学教育部重点实验室(南开大学), 天津 300071)

摘要: 运用乒乓操作的 SRAM 缓存结构, 给出了一个基于 FPGA 的显示驱动方案, 并结合数字时间比率灰度技术, 采用分子场方式成功设计了时分 256 级灰度的接口系统。仿真及测试结果表明, 该系统各项输出符合要求, 能够驱动所需的显示屏。通过乒乓操作, 有效地提高了显示屏的响应效率, 并扩大了其应用范围。

关键词: 时间比率灰度; 分子场方式; 时分灰度; 乒乓操作

中图分类号: TN27 **文献标识码:** A **DOI:** 10. 3788/YJYXS20112602. 0210

Interface Circuit Design of LCoS Microdisplay

CHEN Cui-ying^{1,2}, WU Di^{1,2}, LIU Bi-tao^{1,3}, FAN Yi^{1,3}, DAI Yong-ping^{1,2,3*}

(1. Shenzhen LIWEI Digital Technology Co., Ltd, Shenzhen 518000, China, E-mail: cuiyingchen@hotmail.com;
2. Institute for Photoelectron of Nankai University, Tianjin 300071, China;
3. Key Laboratory of Opto-Electronic Information Science and Technology of Ministry of Education, Tianjin 300071, China)

Abstract: A digital scheme of display based on FPGA was designed, with SRAM cache architecture of Ping-pong operation. And a design of interface system for 256 level gray scale display has been realized by the method of sub-frame, with digital time gray technology. Simulation and test results indicate that the system can give off suitable control signals and drive the screen. Besides, by means of Ping-pong operation, the responsive efficiency of display screen is improved efficaciously, and the application area is widened.

Key words: time ratio gray; method of sub-frame; time gray; ping-pong operation

1 引言

硅基液晶(Liquid Crystal on Silicon, LCoS)是一种将 CMOS 器件集成与 LCD 结合在一起的显示技术, 具有尺寸小和分辨率高的双重特性。高分辨率、低成本上的优势为其在显示市场开辟了广阔的应用前景^[1-2]。

接口电路是 LCoS 显示所必不可少的部分, 它将输入端的各种信号转化为适合 LCoS 接收的

格式, 并为 LCoS 提供控制信号, 是 LCoS 正常显示的保证^[3]。本文基于深圳市力伟数码技术有限公司正在研制的一种快速响应黑白模式的 LCoS 屏, 采用 FPGA 器件为核心研发了一套接口电路。由于所要驱动的 LCoS 屏工作在全数字状态, 特别是每个像素仅工作在明暗两个状态, 且明暗态之间的转换时间小于 0.05 ms, 因此设计了一种能够实现时分灰度显示的方法——子场分时技术的接口电路模块。与传统的模拟式 LCoS 显

收稿日期: 2010-08-06; 修订日期: 2010-08-27

基金项目: 国家高技术研究发展计划(“863”计划)(No. 2009AA01Z326)

作者简介: 陈翠莹(1986—), 女, 广东佛山人, 硕士研究生, 主要从事 SoC 芯片技术与开发工作。

* 通讯联系人, E-mail: daiyp@nankai.edu.cn

示方法相比,子场分时技术利用显示器件仅工作在明暗两个状态的特点,无需考虑液晶光电特性非线性区问题,因而大大减低了对工艺的要求^[4]。该电路模块主要针对国家“863”项目“高性能低成本 LCoS 微型投影机关键技术及样机研究”的接口电路设计,并能扩展应用范围至 OLED、TFT-LCD 等显示器的接口电路。

2 系统硬件设计

如图 1 所示,本设计采用 Altera 公司的 Cyclone 系列 FPGA(EP1C12Q240C8)作为控制程序的数字电路载体,以常用电脑显卡的 VGA 视频接口输出的信号为信号源,采用解码器 AD9883A,将 VGA 输出的模拟信号进行 A/D 变换,解码成 24 位 RGB 数字信号,将解码后的数字信号送给 FPGA,FPGA 将 24 位的数据转换成 16 位并行数据,并根据分子场方式实现灰度原理处理数据,最后输出给显示屏。

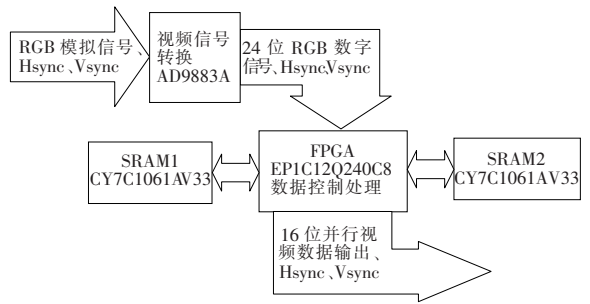


图 1 硬件模块功能框图

Fig. 1 Functional block diagram of hardware module

系统中的 AD9883 是一款全 8 位、转换速率最高可达 140 MSPS 的 A/D 转换芯片,300 MHz 的模拟带宽支持转换图像的分辨率可达 SXGA (1 280×1 024,75 Hz),因此在 RGB 图像处理、LCD 监视器、平板显示以及微显示领域都得到了广泛应用。本设计中所采用的信号源为常用电脑显卡的 VGA 输出的信号源,AD9883A 较其他同类视频解码芯片能够更快速地处理此类模拟视频信号,符合设计要求。

为使所设计控制电路有较广的应用范围和快速响应的适应性,加入两片静态存储器(SRAM1、SRAM2)作为对图像信号进行预先处理后的缓存,并以 FPGA 的编程来实现对其乒乓操作,提高响应能力。每一片 CY7C1061AV33 的容量是

1M×16 bit,最高存取速度为 10 ns。若需要显示 800×600 像素、刷新频率为 60 Hz 的图像时,需要处理的一帧图片大小为 800×600×16 bit,小于 1M×16 bit;输入周期为 20 ns 大于设计值的 10 ns,可见所选用的 SRAM 能满足实际要求。

3 系统软件设计——FPGA 编程

根据系统要求,主控制器所要实现的功能如图 2 所示,包括 4 个主要部分:时序与输出数据控制;视频数据转并行缓存控制;对两组 SRAM 的乒乓操作控制;通过 I²C 通信对 AD9883A 进行初始化配置。

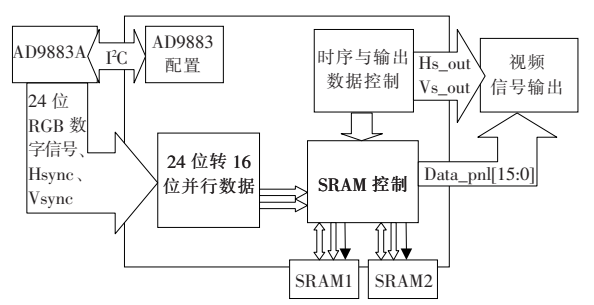


图 2 FPGA 控制器模块示意图

Fig. 2 Scheme of FPGA control module

3.1 时序与输出数据控制——实现灰度级

3.1.1 实现灰度级的原理

灰度是指画面上亮度的等级差别。信息显示技术中的灰度控制也就是对发光单元的亮度调制。在其他条件一定的情况下,灰度等级越高,显示图像层次越分明,图像也越柔和^[5]。可以从模拟灰度和数字灰度两个方面来实现图像的灰度控制。数字灰度方法包括两类:面积比率灰度(ARG)和时间比率灰度(TRG)。

面积比率灰度是将每个像素单元定义成许多可独立控制的子单元的集合,当该单元中不同数量的子单元被选通时,从适当距离观察获得表现的相应灰度等级,由不同选通数量的“子像素”组成的显示像素就会因“子像素”的空间混合而呈不同的灰度级别^[6]。面积比率灰度的基本原理是:每个像素的亮度由被点亮的子像素的数目决定。

在较短的时间内,人眼对亮度感觉不仅取决于发光体的发光强度,还与发光体点亮的时间有关。在一定时间范围内,点亮时间越长,人眼感觉

的发光强度就越强。人眼的亮度感觉在这个时间内呈现出类似于积分的效果。因此,可以根据人眼视觉的“暂留”特性,利用发光体的点亮时间来区分亮度。这样的方法称为时间比率灰度^[7]。时间比率灰度的基本原理是:像素的亮度由该像素被点亮的时间决定,包括子场调制方式和脉冲宽度调制方式。

时间比率灰度的实现方法较面积比率灰度更适用于高分辨率、多灰度级数的显示。本设计为了实现 256 级灰度,采用了时间比率灰度的实现方法。

3.1.2 分子场方式实现灰度

由时间比率灰度的基本原理可知,通过分子场的方式可以实现时分灰度控制。分子场方式,即帧分解调制,其基本方法是把一场(一帧)灰度图像分解成几个子场或者更多帧的黑白子图像,在一场的时间之内显示几个子场的图像。若某像素点在这几个子场都选通,则是最高亮度;若这几个子场中都不选通,则是最低亮度;如果该像素单元在有的子场显示,有的子场不显示,则由它显示子场数的多少决定该像素点的灰度级别。当这几个子场的图像在原来一场的时间内显示出来,由于人的视觉暂留,图像的灰度级别就显示出来了^[6]。

设输入视频信号的帧周期为 T ,灰度级为 H ,每帧需分割的子场数目 $n=\log_2 H$,则第 i 个子场显示时间:

$$t_i = \frac{2^{i-1}}{2^n - 1} T (i = 1, 2, \dots, n)$$

本设计将场同步信号划分为 8 个子场,每个子场的高电平为写入数据时间,每两个脉冲之间的低电平为各子场的显示时间,如图 3 所示。根

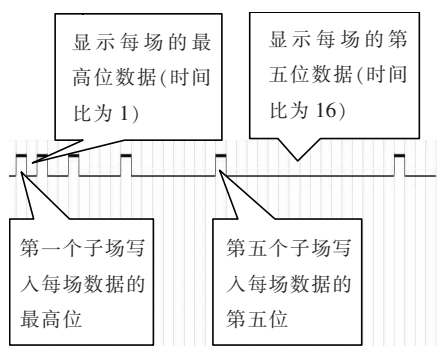


图 3 子场示意图
Fig.3 Scheme of sub_VS

据所要求的 800×600 、85 Hz 的图像输出计算,可以得到每子场的数据写入时间为 $600 \mu\text{s}$ (子场高电平),每个子场中每次写入 16 个数据,30 kB 写满一子场,与此同时产生行同步信号控制;而在每场的低电平期间均分为 255 份,每子场占的比例为:1:2:4:8:16:32:64:128,在此期间作为显示屏的每子场数据的显示时间。

另外,根据时间积分原理可知,各时间长度权重子场排列的顺序对灰度显示效果没有影响。

3.1.3 关键代码与实验结果

关键代码如下,用 sub_cnt 计算控制发光时间比值,使得子场为高时,把数写入,子场为低时显示亮度,并且使得子场间距比值为:1:2:4:8:16:32:64:128。

```
sub_cnt=sub_cnt+1;
if(sub_cnt==1 || sub_cnt==3 || sub_cnt==7 || sub_cnt==15 || sub_cnt==31 || sub_cnt==63 || sub_cnt==127 || sub_cnt==255)//按照公式计算分子场
begin
    vs_reg=1;
end
else
begin
    vs_reg=0;
end
if(sub_cnt==0 || sub_cnt==2 || sub_cnt==6 || sub_cnt==14 || sub_cnt==30 || sub_cnt==62 || sub_cnt==126 || sub_cnt==254)//按照子场控制写标记和起始标记
begin
    w_flag=1;
    st_flag=1;
end
```

子场波形仿真结果如图 4 所示,每个脉冲的间距为 1:2:4:8:16:32:64:128,符合系统要求。

将代码下载到所设计的接口电路模块中的 FPGA(EP1C12Q240C8)后,用示波器对所产生的子场信号进行实际测试,对子场输出波形的测试结果如图 5 所示,与仿真结果符合,达到要求。

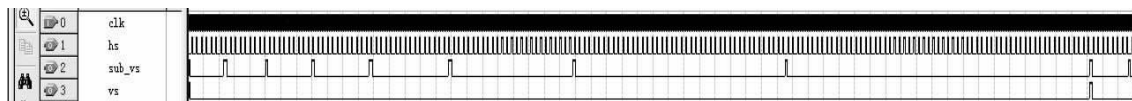


图 4 子场波形仿真结果
Fig. 4 Waveform of sub_VS

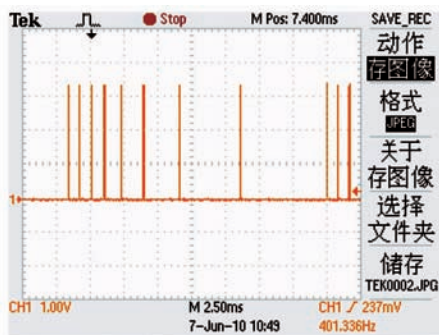


图 5 子场测试结果
Fig. 5 Test result of sub_VS

3.2 24 位 RGB 数据转换为 16 位灰度并行数据

人眼对于相同程度单色光的主观亮度感觉不同,对绿光的主观亮度感觉仅次于白色,是基色中最亮的;红光次之,亮度约占绿光的 1/2;蓝光最弱,亮度约占红光的 1/3。国际上有两种标准制式的亮度公式。NTSC 制式亮度公式为:

$$Y=0.299\times R+0.587\times G+0.114\times B \quad (1)$$

PAL 制式亮度公式为:

$$Y=0.222\times R+0.707\times G+0.071\times B \quad (2)$$

其中 Y 表示白光的亮度^[8]。在本设计中采用 NTSC 制式的亮度公式对 RGB 数据进行混合。

设计中,输入信号为 24 位 RGB 数据,即三基色红、绿、蓝的串行 8 位数据。通过查表的方法,按照式(1),将 24 位 RGB 数据快速混合为 8 位亮度信息,将得到的 8 位串行数据按照地址线送入移位寄存器中,用时钟控制并行输出,快速转换为 16 位灰度并行数据。具体实现方法如下:将串行输入的 8 位数据的最高位放在第一个 16 位寄存器中,次高位放在第二寄存器中,如此类推,8 位字节分别存放在不同的寄存器中。根据时钟,依次取出第一个寄存器中的 16 位数据,第二个寄存器中的数据,如此类推,实现并行输出,并为后面的时分控制分子场做好了准备。

关键代码如下:r7、r6、...、r0 分别存放 8 位串行数据的高位至低位,并建立移位寄存器组 r71~

r716、r61~r617、r01~r024,通过逐位寄存,使 r71~r716、r61~r616、...、r01~r016 分别存放每 16 个 8 位串行数的高位至低位,得到并行的 16 位数据。

{r71, r72, r73, r74, r75, r76, r77, r78, r79, r710, r711, r712, r713, r714, r715, r716} = {r72, r73, r74, r75, r76, r77, r78, r79, r710, r711, r712, r713, r714, r715, r716, r7}; //把最高位送入寄存器中

{r61, r62, r63, r64, r65, r66, r67, r68, r69, r610, r611, r612, r613, r614, r615, r616, r617} = {r62, r63, r64, r65, r66, r67, r68, r69, r610, r611, r612, r613, r614, r615, r616, r617, r6}; //把次高位送入寄存器

.....

{r01, r02, r03, r04, r05, r06, r07, r08, r09, r010, r011, r012, r013, r014, r015, r016, r017, r018, r019, r020, r021, r022, r023} = {r02, r03, r04, r05, r06, r07, r08, r09, r010, r011, r012, r013, r014, r015, r016, r017, r018, r019, r020, r021, r022, r023, r0}; //把最低位送入寄存器

3.3 两组 SRAM 的乒乓操作控制

为了提高数据处理速度,采用 FPGA 对 SRAM 进行乒乓操作控制,对图像信号进行缓存处理,提高响应速度^[9]。

具体方法如下:当一帧视频信号到来时,首先把信号写入到一片 SRAM 中(设为 SRAM1),同时从另外一片 SRAM(设为 SRAM2)中读取上一帧在 FPGA 处理过的信号数据,并输送到视频输出端。在下一帧信号到来时,将 SRAM1 的数据处理并输出,同时,将新数据写入到 SRAM2 中。如此,两片 SRAM 分别处于读状态和写状态(不重复),实现了乒乓操作。

将程序代码下载到所设计的接口电路模块中的 FPGA(EP1C12Q240C8)进行测试,得到如图 6 所示的 WE1 和 WE2 的测试波形。可以看到,SRAM1 和 SRAM2 的控制端 WE1 和 WE2 为互补方波,符合程序设计要求,可以实现对 SRAM1

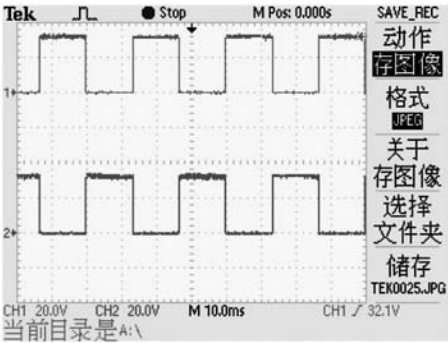


图 6 WE1 和 WE2 的测试波形
Fig. 6 Test result of WE1 and WE2

和 SRAM2 的乒乓操作控制。

乒乓操作的处理方式能够扩大本系统的应用范围。基于缓存 SRAM,可以根据实际情况的不同需要,将输入图像的分辨率进行抽取压缩或插值补偿的方法,改善图像信号^[10]。

3.4 通过 I²C 通信配置 AD9883A

采用有限状态机(FSM)模拟 I²C 通信,产生相应的串行时钟 SCL,并按照 I²C 协议规格将配置字送入总线 SDA。具体来说,所要实现的工作就是要对使 AD9883A 正常工作所需要的 21 个 8

位内部功能寄存器进行合理配置,即通过 FPGA 器件模拟 I²C 串行通信协议,将 21 个 8 位数据通过串口送入 AD9883A,对 AD9883 进行初始化。

在本系统中,FPGA 为主器件,AD9883A 为从器件,AD9883 的初始化过程如下:首先在起始信号产生后,发送地址字节“98H”,接收到 AD9883 的应答信号后,继续发送 AD9883 寄存器的基地址“01H”,接着把 19 个配置字写入到寄存器 01H~13H 中,最后产生停止信号,结束传送。这样便完成了 AD9883 的初始化配置。

将程序下载到 FPGA 后,加上 VGA 输入信号,测试 AD9883A 的行场同步的输入和输出,结果均符合系统要求,表明对 AD9883A 的配置成功。

4 结果分析

在 Quartus II 平台上编写上述各功能模块的程序,将功能模块连接后,得到最终的程序。

下载程序之后,采用 Tektronix TDS2022B 示波器对输出接口的每个管脚进行测试,关键的输出信号如图 7 所示。可以看到,行场同步信号符合设计要求,数据输出和 PCK 也正常,可以作最终的显示。

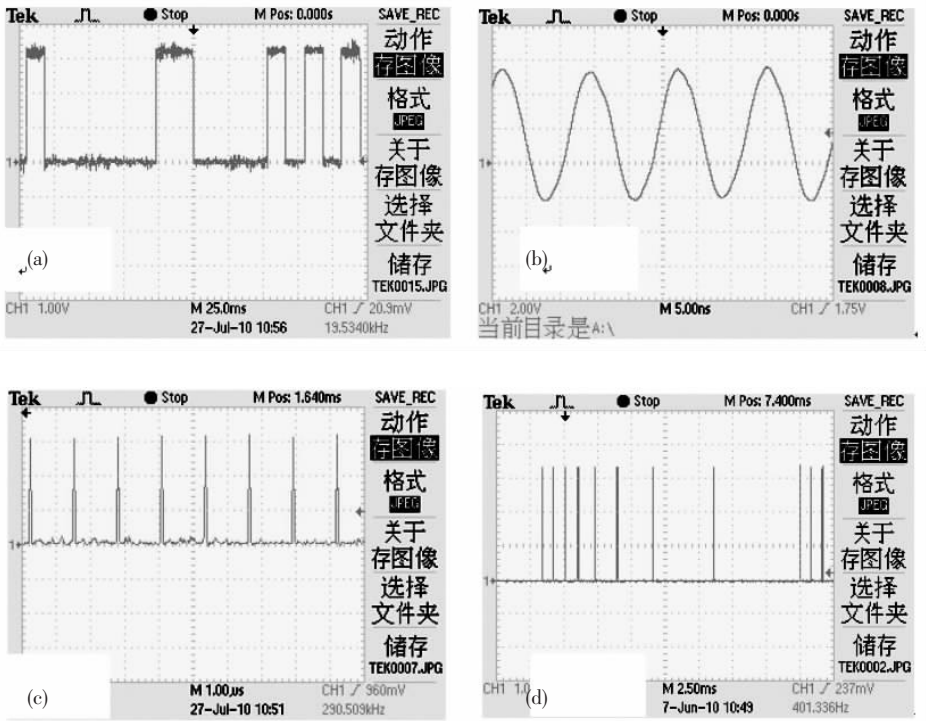


图 7 控制电路测试结果。(a)最低位数据输出;(b)输出 PCK 信号;(c)输出行同步信号;(d)输出场同步信号。
Fig. 7 Test result of the circuit. (a)Data output of LSB; (b)Output of PCK; (c)Output of HS; (d)Output of VS.

5 结 论

采用子场分时技术的方式实现了显示灰度的控制,通过 FPGA 内部程序和电路设计,运用乒乓操作的 SRAM 缓存结构,给出了一个显示驱动

方案。将驱动程序下载到所研制的电路模块,并测试其产生的相关波形信号,结果表明本方案能够实现 256 级灰度时分控制显示。另外,本设计采用乒乓操作,有效地提高了显示屏的响应效率,扩大了系统的应用范围。

参 考 文 献:

[1] 黄锡珉. LCoS 技术的发展 [J]. 液晶与显示,2002,17(1):1-5.
[2] 耿卫东,张永利,刘艳艳,等. EL-5825 及其在微型显示系统中的应用 [J]. 液晶与显示,2005,20(6):549-553.
[3] 宋丹娜,代永平,刘艳艳. LCOS 接口专用集成电路的设计 [J]. 液晶与显示,2009,25(04):670-674.
[4] 金茂竹,刘卫忠,尹盛,等. FPGA 实现全彩色 OLED 动态视频显示控制 [J]. 华中科技大学学报(自然科学版),2005,33(6):98-101.
[5] 范雪,张义德,成建波. OLED 显示的灰度控制 [J]. 现代显示,2005,(4):43-46.
[6] 黄科军. AMOLED 的驱动控制电路设计[D]. 成都:电子科技大学硕士学位论文,2004:36-41.
[7] 尹盛,程帅,沈亮,等. 2 英寸全彩色 AM-OLED 显示屏的驱动方案 [J]. 现代显示,2003,(3):43-46.
[8] 程玉林,钟钦华. 彩色电视原理 [M]. 合肥:安徽科学出版社,1992:65-67.
[9] 王骞,丁铁夫. 高速图像存储系统中 SDRAM 控制器的实现[J]. 液晶与显示,2006,21(1):48-52.
[10] 赵二刚,孙鹏飞,赵立晴,等. 基于 FPGA 的 TFT 显示屏控制系统的设计与实现 [J]. 光电子技术,2009,29(2):130-134.



《中国光学与应用光学》征稿启事

《中国光学与应用光学》,双月刊,A4 开本;刊号:ISSN 1674-2915/CN22-1389/O4;国内外公开发行;邮发代号:国内 12-140,国外 BM6782。

- ★中国科技核心期刊
- ★中国光学学会光电技术专业委员会会刊
- ★中国学术期刊(光盘版)源期刊

报道内容:基础光学、发光理论与发光技术、光谱学与光谱技术、激光与激光技术、集成光学与器件、纤维光学与器件、光通信、薄膜光学与技术、光电子技术与器件、信息光学、新型光学材料、光学工艺、现代光学仪器与光学测试、光学在其他领域的应用等。

发稿类型:学术价值显著、实验数据完整的原创性论文;研究前景广阔,具有实用、推广价值的技术报告;有创新意识,能够反映当前先进水平的阶段性研究简报;对当前学科领域的研究热点和前沿问题的专题报告;以及综合评述国内外光学技术研究现状、发展动态和未来发展趋势的综述性论文。

欢迎投稿、荐稿,洽谈合作。

主管单位:中国科学院
主办单位:中国科学院长春光学精密机械与物理研究所
编辑出版:《中国光学与应用光学》编辑部
投稿网址:<http://chineseoptics.net.cn>
邮件地址:chineseoptics@ciomp.ac.cn,gxyygx2007@126.com
联系电话:(0431)86176852;(0431)84627061 传 真:(0431)84613409
编辑部地址:吉林省长春市东南湖大路 3888 号(130033)